

CLIPPEDIMAGE= JP02001230505A

PAT-NO: JP02001230505A

DOCUMENT-IDENTIFIER: JP 2001230505 A

TITLE: ELECTRIC WIRING OF INTEGRATED CIRCUIT AND ITS MANUFACTURING METHOD

PUBN-DATE: August 24, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
KIRCHHOFF, MARKUS	N/A
ROGALLI, MICHAEL	N/A
WEGE, STEPHAN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
INFINEON TECHNOLOGIES AG	N/A

APPL-NO: JP2000379303

APPL-DATE: December 13, 2000

INT-CL (IPC): H05K001/03;H01L021/312 ;H01L021/768

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an electric wiring of an integrated circuit.

SOLUTION: The electric wiring of the integrated circuit is provided with a substrate (1), conducting layer (2) which is arranged on the substrate (1) and structured to have a first conductor path (3), second conductor path (4) and a trench (5) between the first conductor path (3) and the second conductor path (4), and first dielectric layer (6) which is arranged on the conducting layer (2) and with which the trench (5) is at least partially filled. In this case, the first dielectric layer (6) contains one from among polybenzo-oxazole and/or polynorbornene and/or their derivatives, as the polymeric material.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-230505

(P2001-230505A)

(43) 公開日 平成13年8月24日 (2001.8.24)

(51) Int. Cl.<sup>7</sup>

H05K 1/03

識別記号

630

F I

H05K 1/03

テマコード(参考)

630D

630E

630G

H01L 21/312

H01L 21/312

N

D

審査請求 未請求 請求項の数10 O L (全 4 頁) 最終頁に続く

(21) 出願番号 特願2000-379303(P2000-379303)

(22) 出願日 平成12年12月13日 (2000. 12. 13)

(31) 優先権主張番号 19961103. 3

(32) 優先日 平成11年12月17日 (1999. 12. 17)

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 599158797

インフィネオン テクノロジース アクチ

エンゲゼルシャフト

ドイツ連邦共和国 ミュンヘン ザンクト

マルティン シュトラーセ 53

(72) 発明者 マルクス キルヒホーフ

ドイツ連邦共和国 オッテンドルフ-オー

リラ レーダー-シュトラーセ 45

(72) 発明者 ミヒャエル ロガーリ

ドイツ連邦共和国 ロッテンブルク クヴ

エアシュトラーセ 16

(74) 代理人 100061815

弁理士 矢野 敏雄 (外4名)

最終頁に続く

(54) 【発明の名称】 集積回路の電気配線及びその製法

(57) 【要約】

【課題】 集積回路の電気配線

【解決手段】 基板(1); 基板(1)上に配置されていて、かつ第1導体路(3)、第2導体路(4)及び第1導体路(3)と第2導体路(4)との間のトレンチ(5)を有するように構造化されている導電層(2); 導電層(2)上に配置されていて、かつトレンチ(5)を少なくとも部分的に充填している第1誘電層(6)を有する集積回路の電気配線であって、その際、第1誘電層(6)がポリマー材料のポリベンゾオキサゾール及び/又はポリノルボルネン及び/又はそれらの誘導体のいずれかを包含する。

## 【特許請求の範囲】

【請求項1】 次のもの：基板（1）；基板（1）上に配置されていて、かつ第1導体路（3）、第2導体路（4）及び第1導体路（3）と第2導体路（4）との間のトレンチ（5）を有するように構造化されている導電層（2）；導電層（2）上に配置されていて、かつトレンチ（5）を少なくとも部分的に充填している第1誘電層（6）を有する集積回路の電気配線において、第1誘電層（6）がポリマー材料のポリベンゾオキサゾール及び／又はポリノルボルネン及び／又はそれらの誘導体のいずれかを包含することを特徴とする、集積回路の電気配線。

【請求項2】 第1の誘電層（6）の上方に窒化シリコン層（8）が配置されている、請求項1に記載の集積回路の電気配線。

【請求項3】 誘電層（6）及び窒化シリコン層（8）の間に酸化シリコン層（7）が配置されている、請求項2に記載の集積回路の電気配線。

【請求項4】 第1誘電層（6）の上方に、第1誘電層（6）と同じ材料からなる第2誘電層（9）が配置されている、請求項1から3までのいずれか1項に記載の集積回路の電気配線。

【請求項5】 第1誘電層（6）の材料が3.5未満の誘電率を有する、請求項1から4までのいずれか1項に記載の集積回路の電気配線。

【請求項6】 ポリマー材料がポリベンゾオキサゾール、ポリノルボルネン、ポリイミド及び／又はベリレンのフッ化誘導体を包含する、請求項1から5までのいずれか1項に記載の集積回路の電気配線。

【請求項7】 次の工程：基板（1）上に導電層（2）を生じさせ；第1導体路（3）、第2導体路（4）及び第1導体路（3）と第2導体路（4）との間のトレンチ（5）が生じるように、導電層（2）を構造化するを有する集積回路の電気配線の製法において、トレンチ（5）が少なくとも部分的に充填されるように、ポリマーからなる第1誘電層（6）で導電層（2）をスピン被覆し、その際、ポリマーはポリベンゾオキサゾール及び／又はポリノルボルネン及び／又はそれらの誘導体のいずれかを包含することを特徴とする、集積回路の電気配線の製法。

【請求項8】 第1誘電層（6）の上方に、窒化シリコン層（8）を生じさせる、請求項7に記載の方法。

【請求項9】 誘電層（6）及び窒化シリコン層（8）の間に酸化シリコン層（7）を生じさせる、請求項8に記載の方法。

【請求項10】 第1誘電層（6）の上方に、第1誘電層（6）と同じ材料からなる第2誘電層（9）を生じさせる、請求項7から9までのいずれか1項に記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、集積回路中の電気配線面の誘電体充填に関する。

## 【0002】

【従来の技術】集積回路は多くの場合、基板上に層で配置されている多くの個々構造からなる。通常、電子構造素子、例えば抵抗、キャパシタ、ダイオード、トランジスタ等が1つの基板中に用意される。そして個々の構造素子の電気的接続は1つ以上のその上に存在する配線面（いわゆるメタライゼーション面）で行われる。

【0003】電気配線のために使用される方法では、基板上に導電層の析出を行う。導電層は引き続き、フォトリソグラフィにより構造化され、その間にトレンチを有する複数導体路が生じる。通常、トレンチは酸化シリコンからなる誘電体で充填される。このために例えば、ドーピングされた酸化シリコン、例えばホウケイ酸ガラス、リンケイ酸ガラス又はヒ素ケイ酸塩ガラスもしくはこれらの材料からなる混合物が使用される。ドーピングされたケイ酸ガラスは、高い温度で流動化するという特性を有する。このことにより、トレンチを絶縁誘電体で充填することが可能である。

【0004】ドーピングされたケイ酸ガラスもいずれにせよ、約4の高い誘電率を示すという欠点を有する。高い誘電率は、高い誘電率により高い容量を有する電気的接続導線上でのシグナル伝搬速度に不利に作用する。高い容量は長いRC時間をもたらす。長いRC時間の問題は将来、より激化する。それというのも、個々の導体路間の距離は、より小さい構造素子への一般的な傾向に基づきますますます短くなっており、このことがより大きな容量をもたらしている。

【0005】電気回路のますますの小型化に伴うもう1つの問題は、ドーピングされたシリケートガラスの限られた流動性である。これにより、ますます小さくなる導体路間のトレンチでは、ドーピングされたシリケートガラスがもはや達しないいわゆるキャビティー（Lunker）が生じる。このキャビティーは湿気を集める好ましくない特性を有する。集積回路が例えばはんだ付けの際に受ける温度段階では、集積回路は集まった湿気の蒸発により破裂し、かつそれにより使用不可能になる。

【0006】もう1つの欠点は、ドーピングされたケイ酸ガラス層の高い反射率であり、これは後続のリソグラフィ工程で照射ミス及び加工ミスをもたらす。

## 【0007】

【発明が解決しようとする課題】本発明の課題は、良好な充填—及び流動特性、低い誘電率及びフォトリソグラフィ工程での反射低下特性を有する、集積回路の電気配線面のための誘電層を提供することである。

## 【0008】

【課題を解決するための手段】本発明ではこの課題を、

次のもの：基板；基板上に配置されていて、かつ第1導

体路、第2導体路及び第1導体路と第2導体路との間のトレンチを有するように構造化されている導電層；導電層上に配置されていて、かつトレンチを少なくとも部分的に充填している第1誘電層を有し、その際、第1誘電層(6)がポリマー材料のポリベンゾオキサゾール及び／又はポリノルボルネン及び／又はそれらの誘導体のいずれかを包含する集積回路の電気配線により解決する。

【0009】ポリベンゾオキサゾールの他に、同様にスピニング被覆法(spin on)によりウェハ上に施与することができる他の材料も好適である。これには、無機材料、例えばHSQ(Hydrogen Silsesquioxane)及び有機材料、例えばポリベンゾオキサゾール、ポリイミド、ペリレン、ポリノルボルネン及びポリテトラフルオロエチレン並びにそれらの誘導体、例えばことには、そのフッ化誘導体が該当する。

【0010】方法に関しては、次の工程：基板上に導電層を生じさせ；第1導体路、第2導体路及び第1導体路と第2導体路との間のトレンチが生じるように、導電層を構造化するを有する集積回路の電気配線の製法により所定の課題は解決されるが、その場合、トレンチが少なくとも部分的に充填されるように、ポリマーからなる第1誘電層で導電層をスピニング被覆し、その際、ポリマーはポリベンゾオキサゾール及び／又はポリノルボルネン及び／又はそれらの誘導体のいずれかを包含する。

【0011】有利な更なる実施態様は、各従属請求項の目的である。

【0012】ポリマー材料のポリベンゾオキサゾール(PBO)は、スピニング被覆により施与することができ、かつそれに伴い小さい隙間もキャビティーなく充填されることにより優れている。これにより、HAST試験(Humidity Acceleration Stress Test)で湿気を集め、かつ後続の温度段階で破裂する(ポップコーン効果)中空が回避される。この優れた平坦化特性の他にポリベンゾオキサゾールはその硬化の後に、400℃を上回る高い耐熱性及び低い湿気吸収により優れている。更に、硬化した状態のポリベンゾオキサゾールの誘電率は2.9未満である。低い誘電率はより低い寄生容量に基づき、より迅速なシグナルを集積回路で可能にする。更にポリベンゾオキサゾールはその吸収特性により、後続のフォトリソグラフィ工程で反射を抑制する。このことにより、後続のフォトリソグラフィ工程でかなり改善された溶解が達成される。

【0013】本発明の装置の有利な実施態様では、誘電層の上方に窒化シリコン層が配置されている。窒化シリコン層は、水蒸気、アルカリイオン及び他の腐食作用性物質に対する優れた遮断作用を有するパッシベーション層として使用することができるという利点を有する。

【0014】本発明の装置のもう1つの有利な実施態様では、第1の誘電層と窒化シリコン層との間に酸化シリコン層が配置される。

【0015】本発明の装置のもう1つの有利な実施態様では第1誘電層の上方に、ポリベンゾオキサゾール又は感光性ポリイミドからなる第2誘電層が配置される。

【0016】

【実施例】本発明の実施例を次で、図面に基づき詳述する。

【0017】図面中では、同じ指示記号は同じか、又は機能的に同じ素子を示す。

【0018】図1には従来技術による電気配線の層構造が示されている。電気構造素子、例えば抵抗、容量、ダイオード、トランジスタ、パッシベーション層等を既に包含してよい基板1上に、導電層2を析出させる。通常、導電層2は金属、例えばアルミニウム又は銅から形成される。第1導体路3及び第2導体路4がその間にあるトレンチ5と共に生じるように、導電層2を構造化する。引き続き通常は、ドーピングされたシリケートガラスを析出させ、かつ温度段階により、トレンチ5が充填され、かつ酸化シリコン層7が生じるように流動化する。酸化シリコン層7上に引き続き、窒化シリコン層8を生じさせるが、これは優れた遮断作用を有するパッシベーション層として役立つ。引き続き、第2の誘電層9を窒化シリコン層8上に生じさせる。第2誘電層9は感光性層(フォトリソグラーフ)として役立つ。かつ例えば、ポリイミド、感光性ポリイミド、ポリイミド誘導体、ポリベンゾオキサゾール、感光性ポリベンゾオキサゾールから、又はポリベンゾオキサゾール誘導体からなる。

【0019】図2では、図1に対する本発明の違いは、トレンチ5を充填し、かつ導電層2を被覆し、かつそれにより第1導体路3及び第2導体路4を被覆するために第1誘電層6が使用されていることにある。第1誘電層6には例えば、ポリマー材料のポリベンゾオキサゾールが該当する。ポリベンゾオキサゾールからなる第1誘電層6の本発明による利点は、優れた充填特性、2.9未満の低い誘電率及び後続のリソグラフィ工程での反射の低減にある。

【0020】図3では、誘電層6上に窒化シリコン層8が形成されている。これとは異なり図2に記載の実施例では先ず酸化シリコン層7が誘電層6上に、かつその上に初めて、窒化シリコン層8が形成されている。

【0021】更なる利点は、誘電層6が往々にして機械的に応力のかかる窒化シリコン層8に対する応力低減層として作用し、かつこれにより、窒化シリコン層の機械的応力により生じる集積問題を低減するか、もしくは解決することにある。更に、図3中の誘電層6の層厚は、図1からの酸化シリコン層7の層厚よりも薄く形成されていてよい。これにより、パッシベーション層を開口するための後続のドライエッチング工程がより短時間で、従ってより経済的に実施される。

【図面の簡単な説明】

50 【図1】従来技術による電気配線のための層構造を示す

図。

【図2】本発明による層構造の1つを示す図。

【図3】本発明による層構造の1つを示す図。

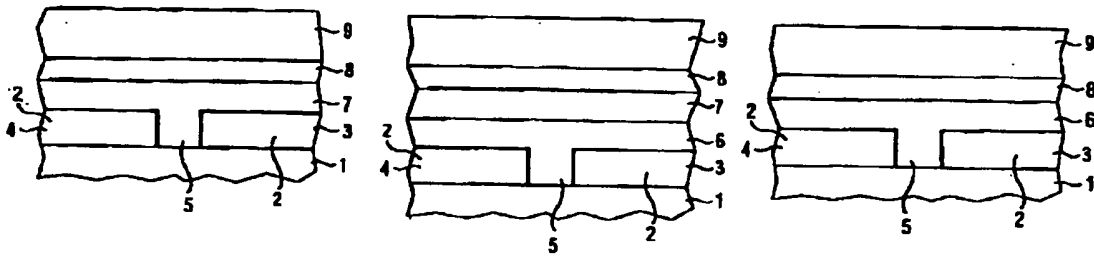
【符号の説明】

1 基板、 2 導電層、 3 第1導体路、 4 第2導体路、 5 トレンチ、 6 第1誘電層、 7 酸化シリコン層、 8 窒化シリコン層、 9 第2誘電層

【図1】

【図2】

【図3】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

H01L 21/312

21/768

識別記号

FI

H01L 21/312

21/90

テマード(参考)

B

S

(72)発明者 シュテファン ヴェーゲ

ドイツ連邦共和国 ヴァイスヒルハウプ

トシュトラッセ 7アー